

List and Copies of Prior Art

(Japanese Patent Application No.2000-274992 (2000))

Prior Publication

(1) Japanese Patent Application Laid-Open No.11- 85065 (1999)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-85065

(43)公開日 平成11年(1999)3月30日

(51)Int.Cl.^o
G 0 9 F 9/35
G 0 2 F 1/136
G 0 9 G 3/36

識別記号
3 0 7
5 0 0

F I
G 0 9 F 9/35
G 0 2 F 1/136
G 0 9 G 3/36

審査請求 未請求 請求項の数34 O.L (全 14 頁)

(21)出願番号 特願平9-248333

(22)出願日 平成9年(1997)9月12日

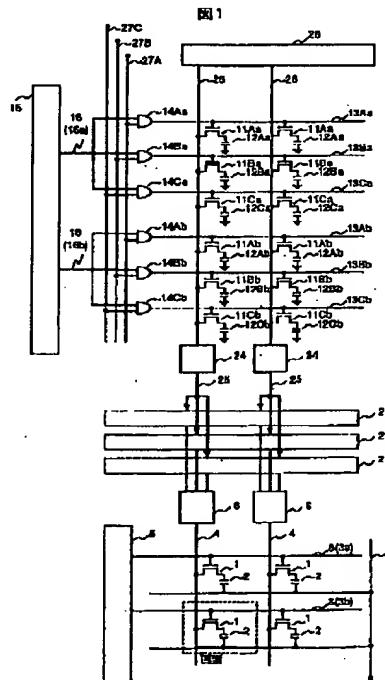
(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 秋元 繁
東京都国分寺市東森ヶ丘一丁目280番地株
式会社日立製作所中央研究所内
(72)発明者 波多野 隆子
東京都国分寺市東森ヶ丘一丁目280番地株
式会社日立製作所中央研究所内
(74)代理人 弁理士 高橋 明夫 (外1名)

(54)【発明の名称】 画像表示装置、その駆動方法及びこれを用いたデータ処理システム

(57)【要約】

【課題】 画像表示装置において、情報表示密度即ち画素数を増大させた場合、信号入力周波数が高くなり実装上の問題を生じ、また画像表示装置と中央データ処理装置との間の信号を無線系で行おうとした場合には、常に所定の信号帯域を占有してしまうと言う問題がある。

【解決手段】 例えば、フレームメモリを画素と同一基板上に形成することにより、上記問題が解消される。さらに、この際、フレームメモリのワード線と画素部のゲート線とを、同一の駆動周波数で駆動すれば、フレームメモリのワード線クロックが表示画像中に漏れ込み、見苦しい干渉雑音が生じる懸念も解消される。



【特許請求の範囲】

【請求項1】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、
該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、
前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、
該ゲート線を選択するための画素選択手段と、
前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、
該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成した画像表示装置。

【請求項2】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、
該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、
前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、
該ゲート線を選択するための画素選択手段と、
前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、
該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置において、
前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、
該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、
該ワード線には該ワード線を選択するための記憶素子選択手段が接続されていることを特徴とする画像表示装置。

【請求項3】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、
該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、
前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、
該ゲート線を選択するための画素選択手段と、
前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、
該複数の信号線の各々に信号電圧を印加する信号電圧印

加手段とを備えてなる画像表示装置において、
マトリクス状に配置された複数の記憶素子を備え、
該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、
該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、
前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置。

【請求項4】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、
該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、
前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、
該ゲート線を選択するための画素選択手段と、
前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、
該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とが一体に形成され、
前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、
該ワード線には該ワード線を選択するための記憶素子選択手段が接続されていることを特徴とする画像表示装置。

【請求項5】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、
該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、
前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、
該ゲート線を選択するための画素選択手段と、
前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、
該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置において、
前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、

3

該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置。

【請求項6】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とが一体に形成され、

マトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、

該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、

前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置。

【請求項7】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とが一体に形成され、

前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、

該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、

前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置。

【請求項8】前記記憶素子選択手段と前記画素選択手段

4

とは、同一の基本構成を有するシフトレジスタで構成されることを特徴とする請求項2から7の内の一つの請求項に記載の画像表示装置。

【請求項9】前記記憶素子選択手段と前記画素選択手段とは、同一の基本構成を有するアドレスデコーダで構成されることを特徴とする請求項2から7の内の一つの請求項に記載の画像表示装置。

【請求項10】選択された前記記憶素子からの出力信号を伝達するためのデータ線と、前記信号線とが、直接接続されていることを特徴とする請求項2から7の内の一つの請求項に記載の画像表示装置。

【請求項11】選択された前記記憶素子からの出力信号を伝達するためのデータ線と、前記信号線とが、DA変換器を介して接続されていることを特徴とする請求項2から7の内の一つの請求項に記載の画像表示装置。

【請求項12】選択された上記記憶素子からの出力信号を伝達するために設けられたデータ線から前記信号線までの回路構成は、各画素列に対して寄生容量を含めて同一に構成されていることを特徴とする請求項2から7の内の一つの請求項に記載の画像表示装置。

【請求項13】前記記憶素子選択手段と前記画素選択手段とは、同一の基本構成を有するシフトレジスタで構成されることを特徴とする請求項12記載の画像表示装置。

【請求項14】前記記憶素子は、強誘電体を用いた不揮発RAM(Random Access Memory)であることを特徴とする請求項2から7の内の一つの請求項に記載の画像表示装置。

【請求項15】上記記憶素子は、SRAM(Static RAM)であることを特徴とする請求項2から7の内の一つの請求項に記載の画像表示装置。

【請求項16】前記記憶素子は、DRAM(Dynamic RAM)であることを特徴とする請求項2から7の内の一つの請求項に記載の画像表示装置。

【請求項17】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えた画像表示装置の駆動方法において、前記信号電圧印加手段にマトリクス状に配置された複数

50 の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、
該ワード線に該ワード線を選択するための記憶素子選択手段を接続したことを特徴とする画像表示装置の駆動方法。

【請求項18】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、
該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、
前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、
該ゲート線を選択するための画素選択手段と、
前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、
該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置の駆動方法において、
マトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、
該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、
前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法。

【請求項19】半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、
前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、
該ゲート線を選択するための画素選択手段と、
前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、
該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成し、
前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、
該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、
該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、
前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法。

周波数で駆動することを特徴とする画像表示装置の駆動方法。

- 【請求項20】半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、
前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、
該ゲート線を選択するための画素選択手段と、
10 前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、
該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備え、
前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、
該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、
20 該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、
前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法。
- 【請求項21】半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、
前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、
該ゲート線を選択するための画素選択手段と、
前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、
該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成し、
マトリクス状に配置された複数の記憶素子を備え、
該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、
40 該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、
前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法。
- 【請求項22】半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、
50 前記半導体スイッチを所定の順序で選択する為の、互いに

7
 に平行に延在する複数本のゲート線と、
 該ゲート線を選択するための画素選択手段と、
 前記半導体スイッチの内の選択されたものを介して、上
 記画素電極に信号電圧を入力するための、前記ゲート線
 に対し垂直方向に延在する複数の信号線と、
 該複数の信号線の各々に信号電圧を印加する信号電圧印
 加手段とを一体に形成し、
 前記信号電圧印加手段にマトリクス状に配置された複数
 の記憶素子を備え、
 該記憶素子の各々には、読み出すべき記憶素子を駆動す
 るためのワード線及び前記信号線に出力信号を伝達する
 ためのデータ線を接続し、
 該ワード線に該ワード線を選択するための記憶素子選択
 手段を接続し、
 前記記憶素子選択手段を前記画素選択手段と同一の駆動
 周波数で駆動することを特徴とする画像表示装置の駆動
 方法。

【請求項23】前記半導体スイッチは、前記ゲート線に
 接続されるゲート、前記信号線に接続されるドレイン、
 及び前記画素電極に接続されるソースを備え、前記記憶
 素子は、前記ワード線に接続されるゲート、前記データ
 線に接続されるドレイン、及該記憶素子のメモリ容量に
 接続されるソースからなる記憶素子スイッチを備え、前
 記半導体スイッチと前記記憶素子スイッチの基本構造が
 実質的に同一であることを特徴とする請求項2から16
 の内の一つの請求項に記載の画像表示装置。

【請求項24】前記半導体スイッチは、前記ゲート線に
 接続されるゲート、前記信号線に接続されるドレイン、
 及び前記画素電極に接続されるソースを備え、前記記憶
 素子は、前記ワード線に接続されるゲート、前記データ
 線に接続されるドレイン、及該記憶素子のメモリ容量に
 接続されるソースからなる記憶素子スイッチを備え、前
 記半導体スイッチと前記記憶素子スイッチの基本構造が
 実質的に同一であることを特徴とする請求項17から2
 の内の一つの請求項に記載の画像表示装置の駆動方
 法。

【請求項25】前記複数の画素の各々には、その画素に
 おける電荷保持の時定数を増すための補助容量が設けられ、該補助容量の基本構造と前記記憶素子のメモリ容量
 の基本構造とが実質的に同一であることを特徴とする請
 求項2から16および23の内の一つの請求項に記載の
 画像表示装置。

【請求項26】前記複数の画素の各々には、その画素に
 おける電荷保持の時定数を増すための補助容量が設けられ、該補助容量の基本構造と前記記憶素子のメモリ容量
 の基本構造とが実質的に同一であることを特徴とする請
 求項17から22及び24の内の一つの請求項に記載の
 画像表示装置の駆動方法。

【請求項27】中央データ処理装置と、請求項1から1
 6、23及び25の内の一つの請求項に記載の画像表示

8
 装置とを備え、前記中央データ処理装置と該画像表示裝
 置とが無線で結ばれていることを特徴とするデータ処理
 システム。

【請求項28】前記画像表示装置が携帯可能な形態のも
 のであることを特徴とする請求項27に記載のデータ処
 理システム。

【請求項29】表示データを、無線で中央データ処理裝
 置から受け取り、請求項17から22、24及び26の
 内の一つの請求項に記載の画像表示装置の駆動方法によ
 り表示することを特徴とするデータ処理方法。

【請求項30】前記中央データ処理装置がパーソナルコ
 ンピュータであることを特徴とする請求項27に記載の
 データ処理システム。

【請求項31】前記電気光学効果を生じる物質が液晶で
 あることを特徴とする請求項1から16、23および2
 5の内の一つの請求項に記載の画像表示装置。

【請求項32】前記記憶素子選択手段の駆動周波数と前
 記画素選択手段の駆動周波数とは、同一で、かつ同期し
 ていることを特徴とする請求項2から16、23および
 25の内の一つの請求項に記載の画像表示装置。

【請求項33】前記記憶素子選択手段の駆動周波数と前
 記画素選択手段の駆動周波数とは、同一で、かつ同期し
 ていることを特徴とする請求項17から22、24およ
 び26の内の一つの請求項に記載の画像表示装置の駆動
 方法。

【請求項34】前記半導体スイッチと、前記画素電極
 と、前記画素選択手段と前記信号電圧印加手段とが同一
 の基板上に形成されていることを特徴とするを請求項
 1、4、6から16の内の一つの請求項に記載の画像表
 示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像表示装置、そ
 の駆動方法及びこれを用いたデータ処理システム、特に
 干渉雑音を低減した画像表示装置、その駆動方法及びこ
 れを用いたデータ処理システムに関する。

【0002】

【従来の技術】以下、従来の画像表示装置に関して図5
 を用いて説明する。

【0003】図5は従来の画像表示装置の構成例であ
 る。TFTスイッチ101と、そのソース電極に接続さ
 れた画素電極と共通電極から成る画素容量102で構成
 される画素が、マトリクス状に配置されている。画素容
 量102には所定の位置に液晶が設けられており、画素
 容量102への書き込み電圧によって光学特性が変調さ
 れ、画像を表示することができる。TFTスイッチ10
 1のゲートにはゲート線103が接続されており、ゲー
 ト線103の一端には垂直シフトレジスタ105が設け
 られている。またTFTスイッチ101のドレインには
 50 信号線104が接続されており、信号線104の一端に

はDA変換器106が設けられている。一方信号入力線109は、信号ラッチ107を介して、DA変換器106に入力している。信号ラッチ107には水平シフトレジスタ110が入力している。全ての画素の共通電極108は一つに接続されて一定の電圧が印加されている。なおここで図5に示したDA変換器106等の各部は、ポリシリコン(Poly-Si) TFTを用いて構成されている。

【0004】以下、本従来例の動作について説明する。信号入力線109線に入力されたデジタル入力信号は、水平シフトレジスタ110の走査に従って順次、信号ラッチ107にラッチされる。ラッチされた入力信号は、一括してDA変換器106に入力され、アナログ信号に変換されて信号線104に印加される。このとき垂直シフトレジスタ105によって選択されたゲート線103の行の画素は、そのTFTスイッチ101がオン状態になっているため、信号線104に印加されたアナログ信号が画素容量102に書き込まれる。この結果、信号が書き込まれた画素の液晶部分には入力信号に対応する電界が印加されるため、信号に応じた画像を表示することができる。

【0005】このような従来の画像表示装置の例としては、例えばソサイアティ フォAINフォメーションディスプレイ インターナショナル シンポジウムダイジェスト オブ テクニカル ベイパーズ (Society for Information Display International symposium Digest of Technical Papers) 96(SID 96), pp. 21-24等に詳しく述べられている。

【0006】

【発明が解決しようとする課題】上記従来例等に於いては、映像を表示し続けるためには信号入力線109から常時、画像信号を入力し続けなくてはならなかつた。このため特に、情報表示密度即ち画素数が増大した場合信号入力周波数が高くなり、実装上の問題を生じていた。また、画像表示装置と中央データ処理装置との間を信号の受け渡しを無線系で行おうとした場合には、常に所定の信号帯域を占有してしまうと言う問題がある。

【0007】

【課題を解決するための手段】上記問題を回避することは、フレームメモリをディスプレイと一体化することで達成される。その際、低コスト化のために、フレームメモリを、画素と同一基板上にpoly-Si TFTで形成した場合、フレームメモリのワード線クロックが表示画像中に漏れ込み、見苦しい干渉雑音が生じてしまうという問題が起こり得る。

【0008】本発明の画像表示装置及びその駆動方法は、以下の構成により上記課題を解決する。

【0009】すなわち、本発明の請求項1に記載の第1の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続

された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成した画像表示装置である。

【0010】また、請求項2に記載の第2の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置において、前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、該ワード線には該ワード線を選択するための記憶素子選択手段が接続されていることを特徴とする画像表示装置である。

【0011】また、請求項3に記載の第3の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置において、マトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置である。

【0012】また、請求項4に記載の第4の発明は、半

11

導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とが一体に形成され、前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、該ワード線には該ワード線を選択するための記憶素子選択手段が接続されていることを特徴とする画像表示装置である。

【0013】また、請求項5に記載の第5の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置において、前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置である。

【0014】また、請求項6に記載の第6の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とが一

体に形成され、マトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置である。

【0015】また、請求項7に記載の第7の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とが一体に形成され、前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置である。

【0016】また、請求項8に記載の第8の発明は、請求項2から7の内の一つの請求項に記載の画像表示装置において、前記記憶素子選択手段と前記画素選択手段とは、同一の基本構成を有するシフトレジスタで構成されることを特徴とする画像表示装置である。

【0017】また、請求項9に記載の第9の発明は、請求項2から7の内の一つの請求項に記載の画像表示装置において、前記記憶素子選択手段と前記画素選択手段とは、同一の基本構成を有するアドレスデコーダで構成されることを特徴とする画像表示装置である。

【0018】また、請求項10に記載の第10の発明は、請求項2から7の内の一つの請求項に記載の画像表示装置において、選択された前記記憶素子からの出力信号を伝達するためのデータ線と、前記信号線とが、直接接続されていることを特徴とする画像表示装置である。

【0019】また、請求項11に記載の第11の発明は、請求項2から7の内の一つの請求項に記載の画像表示装置において、選択された前記記憶素子からの出力信号を伝達するためのデータ線と、前記信号線とが、D/A変換器を介して接続されていることを特徴とする画像表示装置である。

50 【0020】また、請求項12に記載の第12の発明

は、請求項2から7の内の一つの請求項に記載の画像表示装置において、選択された上記記憶素子からの出力信号を伝達するために設けられたデータ線から前記信号線までの回路構成は、各画素列に対して寄生容量を含めて同一に構成されていることを特徴とする画像表示装置である。

【0021】また、請求項13に記載の第13の発明は、請求項12に記載の画像表示装置において、前記記憶素子選択手段と前記画素選択手段とは、同一の基本構成を有するシフトレジスタで構成されることを特徴とする画像表示装置である。

【0022】また、請求項14に記載の第14の発明は、請求項2から7の内の一つの請求項に記載の画像表示装置において、前記記憶素子は、強誘電体を用いた不揮発RAM(Random Access Memory)であることを特徴とする画像表示装置である。

【0023】また、請求項15に記載の第15の発明は、請求項2から7の内の一つの請求項に記載の画像表示装置において、上記記憶素子は、SRAM(Static RAM)であることを特徴とする画像表示装置である。

【0024】また、請求項16に記載の第16の発明は、請求項2から7の内の一つの請求項に記載の画像表示装置において、前記記憶素子は、DRAM(Dynamic RAM)であることを特徴とする画像表示装置である。

【0025】また、請求項17に記載の第17の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えた画像表示装置の駆動方法において、前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、該ワード線に該ワード線を選択するための記憶素子選択手段を接続したことを特徴とする画像表示装置の駆動方法である。

【0026】また、請求項18に記載の第18の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本の

ゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置の駆動方法において、マトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、前記記憶素子選択手段と前記画素選択手段とは、同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法である。

【0027】また、請求項19に記載の第19の発明は、半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成し、前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法である。

【0028】また、請求項20に記載の第20の発明は、半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備え、前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方

法である。

【0029】また、請求項21に記載の第21の発明は、半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成し、マトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法である。

【0030】また、請求項22に記載の第22の発明は、半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成し、前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法である。

【0031】また、請求項23に記載の第23の発明は、請求項2から16の内の一つの請求項に記載の画像表示装置において、前記半導体スイッチは、前記ゲート線に接続されるゲート、前記信号線に接続されるドレイン、及び前記画素電極に接続されるソースを備え、前記記憶素子は、前記ワード線に接続されるゲート、前記データ線に接続されるドレイン、及該記憶素子のメモリ容量に接続されるソースからなる記憶素子スイッチを備え、前記半導体スイッチと前記記憶素子スイッチの基本構造が実質的に同一であることを特徴とする画像表示装置である。

【0032】また、請求項24に記載の第24の発明

は、請求項17から22の内の一つの請求項に記載の画像表示装置の駆動方法において、前記半導体スイッチは、前記ゲート線に接続されるゲート、前記信号線に接続されるドレイン、及び前記画素電極に接続されるソースを備え、前記記憶素子は、前記ワード線に接続されるゲート、前記データ線に接続されるドレイン、及該記憶素子のメモリ容量に接続されるソースからなる記憶素子スイッチを備え、前記半導体スイッチと前記記憶素子スイッチの基本構造が実質的に同一であることを特徴とする画像表示装置の駆動方法である。

【0033】また、請求項25に記載の第25の発明は、請求項2から16および23の内の一つの請求項に記載の画像表示装置において、前記複数の画素の各々には、その画素における電荷保持の時定数を増すための補助容量が設けられ、該補助容量の基本構造と前記記憶素子のメモリ容量の基本構造とが実質的に同一であることを特徴とする画像表示装置である。

【0034】また、請求項26に記載の第26の発明は、請求項17から22及び24の内の一つの請求項に記載の画像表示装置の駆動方法において、前記複数の画素の各々には、その画素における電荷保持の時定数を増すための補助容量が設けられ、該補助容量の基本構造と前記記憶素子のメモリ容量の基本構造とが実質的に同一であることを特徴とする画像表示装置の駆動方法である。

【0035】また、請求項27に記載の第27の発明は、中央データ処理装置と、請求項1から16、23及び25の内の一つの請求項に記載の画像表示装置とを備え、前記中央データ処理装置と該画像表示装置とが無線で結ばれていることを特徴とするデータ処理システムである。

【0036】また、請求項28に記載の第28の発明は、請求項27に記載のデータ処理システムにおいて、前記画像表示装置が携帯可能な形態のものであることを特徴とするデータ処理システムである。

【0037】また、請求項29に記載の第29の発明は、表示データを、無線で中央データ処理装置から受け取り、請求項17から22、24及び26の内の一つの請求項に記載の画像表示装置の駆動方法により表示することを特徴とするデータ処理方法である。

【0038】また、請求項30に記載の第30の発明は、請求項27に記載のデータ処理システムにおいて、前記中央データ処理装置がパーソナルコンピュータであることを特徴とするデータ処理システムである。

【0039】また、請求項31に記載の第31の発明は、請求項1から16、23および25の内の一つの請求項に記載の画像表示装置において、前記電気光学効果を生じる物質が液晶であることを特徴とする画像表示装置である。

【0040】また、請求項32に記載の第32の発明

は、請求項2から16, 23および25の内の一つの請求項に記載の画像表示装置において、前記記憶素子選択手段の駆動周波数と前記画素選択手段の駆動周波数とは、同一で、かつ同期していることを特徴とする画像表示装置である。

【0041】また、請求項33に記載の第33の発明は、請求項17から22、24および26の内の一つの請求項に記載の画像表示装置の駆動方法において、前記記憶素子選択手段の駆動周波数と前記画素選択手段の駆動周波数とは、同一で、かつ同期していることを特徴とする画像表示装置の駆動方法である。

【0042】また、請求項34に記載の第34の発明は、請求項1, 4, 6から16の内の一つの請求項に記載の画像表示装置において、前記半導体スイッチと、前記画素電極と、前記画素選択手段と、前記信号電圧印加手段とが同一の基板上に形成されていることを特徴とする画像表示装置である。

【0043】

【発明の実施の形態】先ず、本発明の第一の実施の形態を図1及び図2を用いて説明する。

【0044】図1は本発明の第一の実施の形態における画像表示装置の構成図である。TFTスイッチ1と、そのソース電極に接続された画素電極と共に電極から成る画素容量2で構成される画素が、マトリクス状に配置されている。画素容量2には所定の位置に液晶が設けられており、画素容量2への書き込み電圧によって光学特性が変調され、画像を表示することができる。TFTスイッチ1のゲートにはゲート線3が接続されており、ゲート線3の一端には垂直シフトレジスタ5が設けられている。またTFTスイッチ1のドレンには信号線4が接続されており、信号線4の一端にはDA変換器6が設けられている。全ての画素の共通電極8は一つに接続されて一定の電圧が印加されている。

【0045】DA変換器6の入力部には不揮発RAMマトリクスが設けられている。TFTスイッチ11A, 11B, 11Cと、そのソース電極に接続されたメモリ容量12A, 12B, 12Cで構成されるメモリセルが、マトリクス状に配置されている。メモリ容量12A, 12B, 12Cには強誘電体（例えば、PZT）が挿み込まれており、各メモリセルは不揮発メモリセルとして動作する。TFTスイッチ11A, 11B, 11Cのゲートにはワード線13A, 13B, 13Cがそれぞれ接続されており、ワード線13A, 13B, 13Cの一端にはAND回路14A, 14B, 14Cを介してメモリシフトレジスタ15が設けられている。またTFTスイッチ11A, 11B, 11Cのドレンにはデータ線26が接続されており、データ線26の一端にはセンスアンプ24が、他端にはデータ入力回路28が設けられている。センスアンプ24の出力線25はラッチ回路21A, 21B, 21Cに入力され、ラッチ回路21A, 21B, 21Cに

1B, 21Cの出力は前述のDA変換器6に入力している。なおAND回路14A, 14B, 14Cには、メモリシフトレジスタ15の出力であるワード走査線16と、ビット選択線27A, 27B, 27Cがそれぞれ入力している。なおここで説明したDA変換器6、垂直シフトレジスタ5、メモリシフトレジスタ15等の各部は、同一基板上にPoly-Si TFTを用いて構成されている。

【0046】次に、本第一の実施の形態の動作について図2を用いて説明する。図2はゲート線3、ワード走査線16、ワード線13A, 13B, 13Cの動作波形であり、上がオン、下がオフに相当する。予めメモリセルアレイには、データ入力回路28及びメモリシフトレジスタ15を介して画像信号が記憶されている。この際の記憶動作は通常のDRAM等と同一であるので省略する。

【0047】なお、図1では図面の簡略化のために2x2画素しか記載していないため、図2のサフィックスcに対応する部位は省略されているが、図2では3x3画素以上が存在するものとして記述している。センスアンプ24がデータ線26をリセットした後、メモリシフトレジスタ15がワード走査線16bをオンさせると、ビット選択線27A, 27B, 27CがそれぞれAND回路14Ab, 14Bb, 14Cbを順番にオンさせ、ワード線13Ab, 13Bb, 13Cbが順番に走査される。

【0048】このときワード線13Ab, 13Bb, 13CbはTFTスイッチ11Ab, 11Bb, 11Cbを順にオンにし、メモリ容量12Ab, 12Bb, 12Cbに記憶されていたデータ信号はデータ線26、センスアンプ24と出力線25を介してラッチ回路21A, 21B, 21Cにラッチされる。この次のクロックによって、メモリシフトレジスタ15はワード走査線16bをオフさせ、次いでセンスアンプ24がデータ線26をリセットした後、メモリシフトレジスタ15がワード走査線16cをオンさせ、ワード線13Ac, 13Bc, 13Ccの走査が行われる。このときラッチ回路21A, 21B, 21Cはワード線13Ac, 13Bc, 13Ccに対応したデータをラッチすると同時に、前述のワード線13Ab, 13Bb, 13Cbに対応したデータをDA変換器6に出力し、DA変換器6はそのアナログ信号出力を信号線4に印加する。図2に示したように、メモリシフトレジスタ15がワード走査線16を走査するのに同期して、垂直シフトレジスタ5は同一クロックでゲート線3を走査する。即ちDA変換器6がワード線13Ab, 13Bb, 13Cbに対応したアナログ信号出力を信号線4に印加するのに同期して、垂直シフトレジスタ5はゲート線3bをオンし、ゲート線3bに対応する行の画素は、そのTFTスイッチ1がオン状態

50 になっているため、信号線4に印加されたアナログ信号

が画素容量2に書き込まれる。この結果、信号が書き込まれた画素の液晶部分には入力信号に対応する電界が印加されるため、信号に応じた画像を表示することができる。ここでメモリシフトレジスタ15の動作は垂直シフトレジスタ5の動作と、同一周波数で駆動されているので、クロックの干渉波形が表示画像中への雑音として飛び込むことはない。なお、メモリシフトレジスタ15の動作は垂直シフトレジスタ5の動作と同期していても、同期していないとも良い。

【0049】本第一の実施の形態では、DA変換器6の構成に関しては特に制限はない。DA変換器6は前記の従来例のように、容量を用いて電圧加算方式で構成することが可能であるし、一般的のSiトランジスタを用いたドライバのように抵抗分圧方式やその変形を用いること等も可能であることは言うまでもない。

【0050】更に上記第一の実施の形態に於いては、メモリセルアレイを不揮発メモリとしたが、これを通常のDRAMとしても本発明は適用可能である。ただしこの場合にリフレッシュ動作が必要になることは明らかである。

【0051】また上記第一の実施の形態では画像信号を3ビットとして説明したが、任意のビット信号に関する本発明は適用可能である。

【0052】そしてまた上記第一の実施の形態では、メモリシフトレジスタ15及び垂直シフトレジスタ5を用いてメモリセル及び画素を走査したが、シフトレジスタに限らず、同一クロックで駆動されるアドレスデコーダを両者、或いは一方に用いても本発明の目的は達成される。但しこのとき、メモリシフトレジスタ15及び垂直シフトレジスタ5を同一基本回路構成としておくと、クロック雑音の映像への飛込みに対する動作マージンを広げることができる。

【0053】なお図1のように、特に画素をメモリセルと一直線上に配置レイアウトすると、各データ線26や、信号線4の寄生容量が各列で同一になり、表示画像出力の均一性向上を図れる利点がある。

【0054】上記実施の形態では、DA変換器6、垂直シフトレジスタ5、メモリシフトレジスタ15等の各部は、同一基板上にPoly-Si TFTを用いて構成している。しかしながら画像表示装置は、電気光学効果を生じる物質を、通常対向する一対の基板の間にサンドイッチした構造に形成されていることが多いので、本発明においては、TFTスイッチ1、DA変換器6、TFTスイッチ11、メモリ容量12、ラッチ回路21、垂直シフトレジスタ5、メモリシフトレジスタ15、センスアンプ24、などの全てを同一基板上に形成した一体構造にしても良いし、またこれらの内、一部のみを同一基板上に形成し、残りを上記対向する他方の基板上に形成した一体構造をとっても良い。次に、本発明の第二の実施の形態を図3を用いて説明する。

【0055】図3は本発明による画像表示装置の他の構成図である。TFTスイッチ1と、そのソース電極に接続された画素電極と共に共通電極から成る画素容量2で構成される画素が、マトリクス状に配置されている。画素容量2には所定の位置に液晶が設けられており、画素容量2への書き込み電圧によって光学特性が変調され、画像を表示することができる。TFTスイッチ1のゲートにはゲート線3が接続されており、ゲート線3の一端には垂直シフトレジスタ5が設けられている。またTFTスイッチ1のドレンには信号線54が接続されている。全ての画素の共通電極8は一つに接続されて一定の電圧が印加されている。

【0056】信号線54の上半分にはSRAMマトリクスが設けられている。TFT61, 62, 63, 64, 65, 66は6トランジスタから成るSRAMセルを構成している。SRAM入出力スイッチ61, 62のゲートにはワード線56を介してメモリシフトレジスタ15が設けられている。またSRAM入出力スイッチ61, 62のドレンに接続されているデータ線54, 55の一本は前述の信号線54そのものである。データ線54, 55の一端にはデータ入力回路57が設けられている。

【0057】以上で説明した垂直シフトレジスタ5、メモリシフトレジスタ15等の各部は、同一基板状にPoly-Si TFTを用いて構成されている。なお、画像表示装置は、電気光学効果を生じる物質を、通常対向する一対の基板の間にサンドイッチした構造に形成されていることが多いので、本実施の形態においても、TFTスイッチ1、SRAM、垂直シフトレジスタ5、メモリシフトレジスタ15、などの全てを同一基板上に形成した一体構造にしても良いし、またこれらの内、一部のみを同一基板上に形成し、残りを上記対向する他方の基板上に形成した一体構造をとっても良い。

【0058】つぎに本第二の実施の形態の動作について説明する。予めメモリセルアレイには、データ入力回路57及びメモリシフトレジスタ15を介して画像信号が記憶されている。この際の記憶動作は通常のSRAMと同一であるので省略する。データ入力回路57が一般のSRAM同様にデータ線54, 55をリセットした後、メモリシフトレジスタ15が選択したワード線56をオンさせると、データ線54(信号線54), 55には選択されたメモリセルに記憶されていた信号が出力される。ここでメモリシフトレジスタ15がワード線56を走査するのに同期して、垂直シフトレジスタ5は同一クロックでゲート線3を走査する。即ち出力信号が信号線54に出力されるのに同期して、垂直シフトレジスタ5は選択されたゲート線3をオンし、ゲート線3に対応する行の画素は、そのTFTスイッチ1がオン状態になっているため、信号線54に印加された信号が画素容量2に書き込まれる。この結果、信号が書き込まれた画素の

液晶部分には入力信号に対応する電界が印加されるため、信号に応じた画像を表示することができる。ここでメモリシフトレジスタ15の動作は垂直シフトレジスタ5の動作と同一周波数で駆動されているため、クロックの干渉波形が表示画像中への雑音として飛び込むことはない。

【0059】なお、メモリシフトレジスタ15の動作は垂直シフトレジスタ5の動作と同期していても、いなくとも良い。

【0060】本第二の実施の形態に於いては各画素に入力される画像信号は1ビットであるが、DA変換器が必要であり、装置の構造を簡略化できる利点がある。

【0061】なお、SRAM部分はセルアレイのみで構成したが、セルの小型化を図りながらSRAMの読みだし動作を高速化するためには、一般的のSRAMのようにセンサスアンプ回路をデータ線54、55間に設けても良い。

【0062】次に、本発明の第三の実施の形態を図4を用いて説明する。図4(a)及び図4(b)はそれぞれ、前記第一の実施の形態において使用し得るメモリセル及び画素部の断面図である。

【0063】図4(a)において、メモリセルは、メモリ容量12と、ワード線13をゲート、データ線26をドレインとし、メモリ容量に接続されるソースからなるTFTスイッチ11から構成されている。

【0064】一方、図4(b)において、画素は、画素ゲート線3aをゲート、信号線4をドレインとし、画素電極に接続されるソースとからなるTFTスイッチ1と、透明電極90からなる画素電極と、これに対向して設けられた共通電極91と、これら両電極の間に挟持された液晶層92とから構成されている。

【0065】図4(a)及び図4(b)において、95は絶縁膜、96はガラスやプラスチックなどからなる透明基板である。また液晶表示装置の場合には、その光変調方式によっては、偏光板などの光学部品を必要とするものもあるが、これは周知の技術なのでここでは省略する。

【0066】なお、液晶表示装置の場合、各画素部の電荷保持の時定数を大きくする目的で、液晶容量に並列に補助容量を、その必要性に応じて設ける場合がある。補助容量形成方法としては、画素電極と、当該画素のゲート線に隣接するゲート線(即ち前段あるいは次段のゲート線)との間に容量を形成する付加容量方式と、画素電極と独立電極との間に容量を形成する蓄積容量方式とがある。図4(b)に示した画素においては、ゲート線3aに隣接するゲート線3bを利用して付加容量120を形成した例が例示されている。

【0067】さて、本第三の実施の形態では、図4(a)に示したTFTスイッチ11と、図4(b)に示したTFTスイッチ1とを、それらの基本構造を実質的

に同一のものとすることにより製造プロセスの簡略化を可能とするものである。

【0068】さらに、本第三の実施の形態では、図4(a)に示したメモリ容量12形成部と、図4(b)に示した補助容量120形成部TFTスイッチ1とを、それらの基本構造を実質的に同一のものとすることにより製造プロセスのさらなる簡略化を可能とするものである。

【0069】上記第一、第二及び第三の実施の形態における各画像表示装置においては、各画素における光変調部材として液晶を使用しているが、液晶の代わりに他の電気光学効果を生じる部材、例えばエレクトロルミネンス(EL)材料が使えることは勿論である。

【0070】次に、本発明の第四の実施の形態について説明する。

【0071】第四の実施の形態においては、画像表示装置とコンピュータ本体との間、電子手帳とコンピュータ本体或いは中央のデータベースとの間、ノートパソコン等のポータブル機器とコンピュータ本体或いは中央のデータベースとの間、投射型液晶TVにおける映像投射器とTV電波受信機との間などで、情報データの受け渡しを無線で行う場合の、画像表示機器側に前記第一或いは第二の実施の形態の画像表示装置を使用するものである。本実施の形態によれば、同一の周波数帯域を過度に占有する必要がなくなり、かつフレームメモリと表示部との間で干渉雑音の発生も防止できる。

【0072】

【発明の効果】本発明に依れば、画像表示装置において、情報表示密度即ち画素数を増大させることにより信号入力周波数が高くなても実装上の問題を生ぜず、さらに、フレームメモリを画素と同一基板上に形成しても、フレームメモリのワード線クロックが表示画像中に漏れ込み、見苦しい干渉雑音が生じてしまうこともない。

【図面の簡単な説明】

【図1】本発明による第一の実施の形態である液晶表示装置の構成図である。

【図2】本発明の第一の実施の形態に於けるゲート線、ワード走査線、ワード線の動作波形図である。

【図3】本発明による第二の実施の形態である液晶表示装置の構成図である。

【図4】本発明による第三の実施の形態の構成図であり、図4(a)はメモリセルのスイッチ部、図4(b)は表示画素のスイッチ部を示す構成図である。

【図5】従来例の液晶表示装置の構成図である。

【符号の説明】

1…TFTスイッチ、2…画素容量、3…ゲート線、4…信号線、5…垂直シフトレジスタ、6…DA変換器、11…TFTスイッチ、12…メモリ容量、13…ワード線、15…メモリシフトレジスタ、16…ワード走査

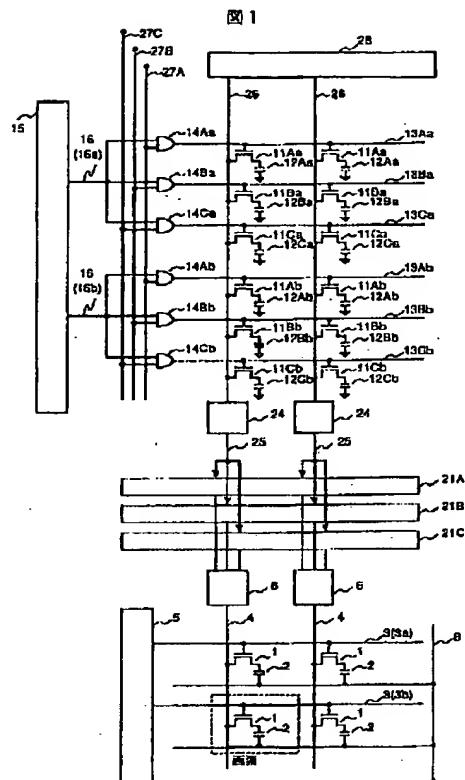
23

線、21…ラッチ回路、24…センスアンプ、26…デ

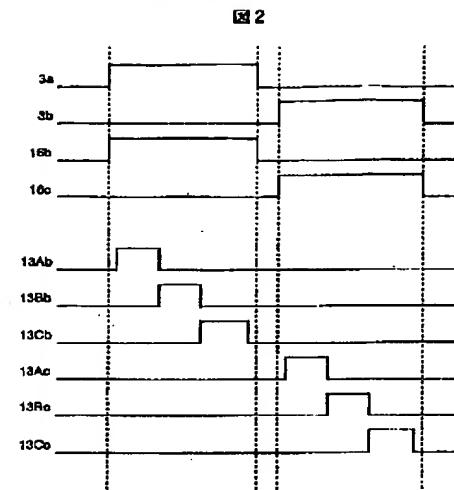
24

ータ線、27…ビット選択線、120…補助容量。

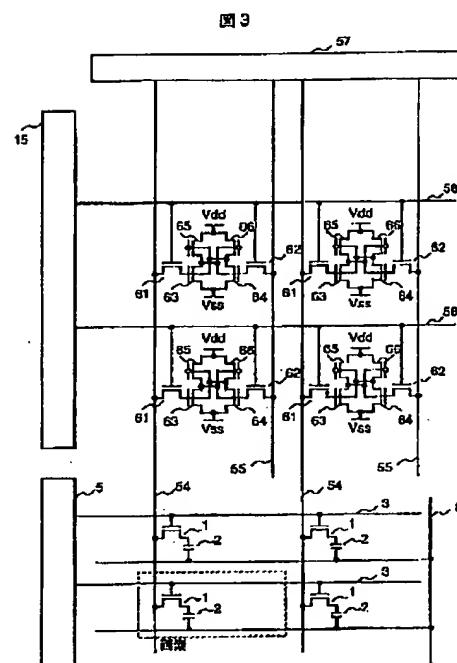
【図 1】



【図 2】

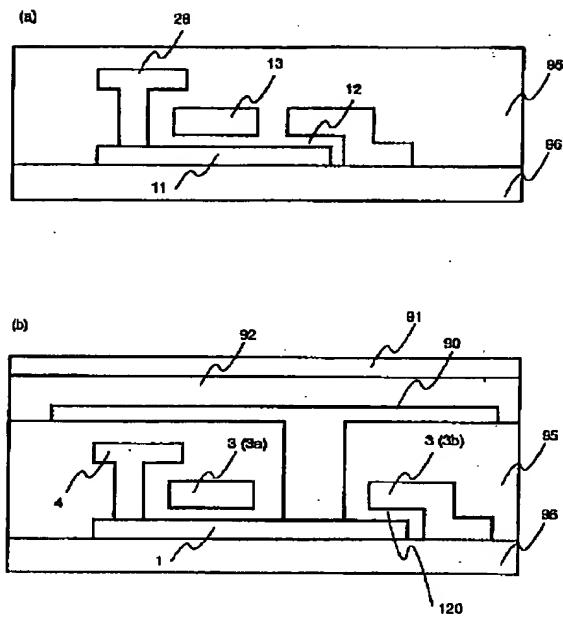


【図 3】



【図4】

図4



【図5】

図5

